

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-270650

(43)Date of publication of application : 14.10.1997

(51)Int.Cl. H03G 3/10
H03F 3/19
H03F 3/45
H03G 3/30

(21)Application number : 08-077096

(71)Applicant : ALPS ELECTRIC CO LTD

(22)Date of filing : 29.03.1996

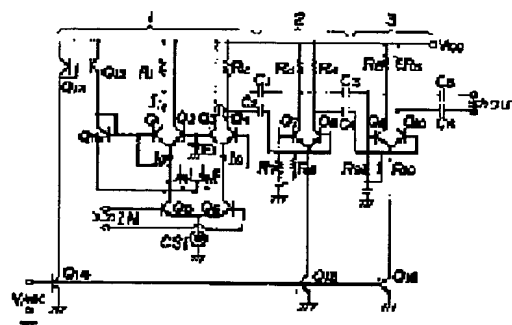
(72)Inventor : IGARASHI SADAOKI
AOKI KAZUHARU
URABE SATORU

(54) MULTI-STAGE VARIABLE GAIN AMPLIFIER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the current consumption in the multi-stage variable amplifier circuit and to improve the linearity at an input intercept point and the gain.

SOLUTION: The multi-stage amplifier circuit is configured by a constant current variable amplifier circuit 1 amplifying an input signal and current variable amplifier circuits 2, 3 amplifying further the signal amplified by the 1st variable amplifier circuit. An AGC voltage AGC is applied in common between a base and an emitter of an amplification factor control transistor (TR) Q14 of the constant current variable amplifier circuit 1 and between bases and emitters of amplification factor control TRs Q15, Q16 of the current variable amplifier circuits 2, 3, and collector currents of the TRs Q14, Q15, Q16 change exponentially with respect to the AGC voltage AGC changing linearly. A current proportional to a collector current of the TR Q14 flows to TRs Q1, Q4 and the gain PD (dB) of the constant current variable amplifier circuit 1 changes linearly with respect to the AGC voltage AGC.



LEGAL STATUS

[Date of request for examination] 24.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-270650

(43) 公開日 平成9年(1997)10月14日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 G 3/10			H 0 3 G 3/10	B
H 0 3 F 3/19			H 0 3 F 3/19	
		3/45		Z
H 0 3 G 3/30			H 0 3 G 3/30	D

審査請求 未請求 請求項の数4 O L (全 7 頁)

(21) 出願番号 特願平8-77096

(22) 出願日 平成8年(1996)3月29日

(71) 出願人 000010098

アルプス電気株式会社

東京都大田区雪谷大塚町1番7号

(72) 発明者 五十嵐 貞男

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(72) 発明者 青木 一晴

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(72) 発明者 ト部 悟

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(74) 代理人 弁理士 武 顯次郎 (外2名)

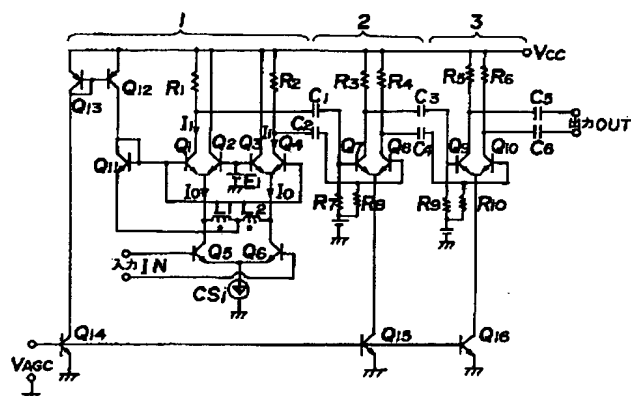
(54) 【発明の名称】 多段可変利得増幅回路

(57) 【要約】

【課題】 多段可変増幅回路において消費電流を低減し、入力インタセプト・ポイントと利得の直線性を向上させる。

【解決手段】 入力信号を増幅する電流一定型可変増幅回路1と、第1の可変増幅回路により増幅された信号を更に増幅する電流可変型可変増幅回路2、3とによって多段増幅回路を構成した。AGC電圧VAGCは電流一定型可変増幅回路1の増幅度制御トランジスタQ14と電流可変型可変増幅回路2、3の増幅度制御トランジスタQ15、Q16の各ベースとエミッタ間に共通に印加され、トランジスタQ14、Q15、Q16のコレクタ電流は、直線的に変化するAGC電圧VAGCに対して指数関数的に変化する。トランジスタQ1、Q4にはトランジスタQ14のコレクタ電流に比例した電流が流れ、電流一定型可変増幅回路1の利得PG[dB]がAGC電圧VAGCに対して直線的に変化する。

【図2】



【特許請求の範囲】

【請求項1】 不平衡出力型の差動増幅器により構成され、一定の駆動電流により駆動されて入力信号を増幅する第1の変利得増幅回路と、

前記第1の変利得増幅回路の増幅度を制御する第1の増幅度制御手段と、

平衡出力型の差動増幅器により増幅され、可変の駆動電流により駆動されて前記第1の変利得増幅回路により増幅された信号を更に増幅する第2の変利得増幅回路と、

前記第2の変利得増幅回路の増幅度を制御する第2の増幅度制御手段とを備えたことを特徴とする多段可変利得増幅回路。

【請求項2】 前記各増幅度制御手段は、直線的に変化するAGC電圧を指数関数的に変化する制御電流に変換し、その制御電流を前記各可変利得増幅回路に駆動電流として与えることを特徴とする請求項1に記載の多段可変利得増幅回路。

【請求項3】 前記不平衡出力型の差動増幅器は、各エミッタが共通の定電流源に接続されてエミッタから信号を入力される少なくとも一対のトランジスタを備え、一方のトランジスタのベースにAGC電圧が加えられ、他方のトランジスタのベースが接地され、一方または他方のトランジスタのコレクタから信号を出力することを特徴とする請求項1ないし2のいずれかに記載の多段可変利得増幅回路。

【請求項4】 前記第1の増幅度制御手段は、ベースに加えられたAGC電圧の変化をコレクタ電流の変化に変換する電圧-電流変換トランジスタと、前記一方のトランジスタを含むカレントミラー回路とを備え、前記カレントミラー回路を介して前記コレクタ電流に応じた電流を前記一方のトランジスタのコレクタに流すことを特徴とする請求項3に記載の多段可変利得増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えばCDMA（符号分割多元接続）方式の携帯電話機の高周波増幅回路に好適な多段可変利得増幅回路に関する。

【0002】

【従来の技術】 一般に、CDMA方式の携帯電話機では、移動時の通信を維持するために受信部、送信部の各高周波増幅回路において80dB以上の利得を可変可能な可変利得増幅回路（以下可変増幅回路という）が設けられている。図4は一般的なCDMA方式とFM方式のデュアルモードを有する携帯電話機の高周波段を示している。まず、送信（TX）系の構成を説明すると、モデム101により変調されたIF（中間周波）送信信号は、QPSK変調回路102によりQPSK変調され、次いで送信側可変増幅回路（TX-AMP）103によ

り増幅され、次いでミキサ（MIX）104により局部発振器（OSC）121からの局部発振周波数と混合されてRF（高周波）送信信号に変換される。このRF送信信号はバンドパスフィルタ105、パワーアンプ（PA）106、デュプレクサ107、アンテナ108を介して送信される。

【0003】 次に受信（RX）系の構成を説明すると、アンテナ108を介して受信したRF受信信号は、デュプレクサ107、ロウノイズアンプ（LNA）109、バンドパスフィルタ110を介してミキサ（MIX）111に印加され、局部発振器（OSC）121からの局部発振周波数と混合されてIF受信信号に変換される。このIF受信信号はCDMA用バンドパスフィルタ112とFM用バンドパスフィルタ113に印加され、その1つの出力信号が設定モードに応じて選択されて受信側可変増幅回路（RX-AMP）114により増幅され、次いでQPSK復調回路115により復調され、モデム101に印加される。

【0004】 そして、モデム101内の受信信号強度指示回路（RSSI）116により検出された受信強度が比較回路117により強度基準データと比較され、その差分が受信側AGC電圧補正回路118と送信出力補正回路119に印加される。受信側AGC電圧補正回路118は、比較回路117からの差分が「0」になるように、すなわちRSSI116の出力が強度基準データと一致するようにAGC電圧を出力して受信側可変増幅回路（RX-AMP）114の利得を制御する。また、送信側の送信出力補正回路119には比較回路117からの差分と、携帯電話機と基地局との間の回線状況に応じた送信出力補正データが印加され、送信側AGC電圧補正回路120は、被変調信号が受信信号のレベルに逆比例するように、また、送信出力補正データに応じてAGC電圧を出力して、送信側可変増幅回路（TX-AMP）103の利得を制御する。

【0005】 この場合、送信側、受信側の可変増幅回路103、114が連動して動作するためには80dB以上のダイナミックレンジにわたって、AGC電圧と利得の間に優れた直線性を必要とする。また、携帯電話機は電池により駆動されるので、消費電流が大きいと電池の消耗が大きくなり、その結果、待ち受け時間や通話時間が短くなったり、電池を頻繁に交換しなければならない、等の問題が発生する。したがって、可変増幅回路103、114も消費電流ができるだけ小さいことが望まれる。

【0006】 ここで、この可変増幅回路としては、差動増幅器が定電流源に接続された電流一定型と電流可変型が知られている。また、1段の可変増幅回路では一般に、利得を直線的に制御できる範囲が20～30dB程度であるので、80dB以上のダイナミックレンジを実現するために同じ型式の可変増幅回路を3～4段、高周

波的にカスケード接続し、AGC電圧を各可変増幅回路に並列に印加する方法が採用されている。

【0007】図5、図6はそれぞれバイポーラトランジスタで構成した一般的な電流一定型、電流可変型の可変増幅回路を示し、INは入力、OUTは出力、VAGCがAGC電圧、Vccは電源電圧である。図7はAGC電圧VAGCに対する利得PGを示し、gは電流一定型可変増幅回路における特性、hは電流可変型可変増幅回路における特性である。

【0008】図5に示す電流一定型は、利得可変用トラ

$$I_1/I_0 \propto [1 + \exp \{-V_{AGC} * q / (kT)\}] \quad \dots (2)$$

但し、qは電子の単位電荷

kはボルツマン定数

Tは絶対温度

の関係にある。

【0010】特性gの利得PGはAGC電圧VAGCが大きい範囲では直線的に変化せず、また、変化が小さい。なお、この電流一定型では、妨害波同志により発生する3次歪みの量は利得PGの大小にかかわらず一定であり、また、消費電流も利得PGの大小にかかわらず一定である。更に、図5に示す電流一定型を多段に接続した可変増幅回路では、利得PGに対する入力インタセプト・ポイント、消費電流の関係はそれぞれ図3においてa、bで示す特性となり、利得PGが低い範囲における入力インタセプト・ポイント特性aは高いが、消費電流特性bは一定である。

【0011】図6に示す電流可変型は、利得可変用トランジスタQ7、Q8と、定電流回路用トランジスタQ15と、トランジスタQ7、Q8の各負荷抵抗R3、R4により構成されている。その利得PG[dB]は

$$PG \propto 20 \log (I_2) \quad \dots (3)$$

の関係にあり、また、

$$I_2 \propto \exp \{V_{AGC} * q / (kT)\} \quad \dots (4)$$

の関係にある。ここで、式(4)を式(3)に代入すると、

$$PG \propto V_{AGC}$$

となり、図7に曲線hで示すようにAGC電圧VAGCに対して利得PGが直線的に変化する。また、この電流可変型を多段に接続した可変増幅回路では、利得PGに対する入力インタセプト・ポイント、消費電流の関係はそれぞれ図3においてc、dで示す特性となり、コレクタ電流が小さいので歪みが発生しやすい。

【0012】

【発明が解決しようとする課題】しかしながら、図5に示す電流一定型を多段に接続した可変増幅回路では、図3においてb、dで示すように電流可変型より消費電流が大きいという問題点がある。

【0013】また、図6に示す電流可変型を多段に接続した可変増幅回路では、電流一定型より消費電流は小さいが、利得PGが低い範囲では図3においてa、cで示

ンジスタQ1、Q2、Q3、Q4と増幅用トランジスタQ5、Q6により差動増幅器を構成し、また、抵抗R1、R2はそれぞれトランジスタQ1、Q4の負荷抵抗、E1はバイアス用電源、CS1は定電流源である。

【0009】図5に示す電流一定型における利得PG[dB]は

$$PG \propto PG_0 + 20 \log (I_1/I_0) \quad \dots (1)$$

但し、PG0はI1がI0のときの利得の関係にある。また、

すように電流一定型より入力インタセプト・ポイントが悪いという問題点があり、この結果、電界が強い場合に他局から妨害を受けるという問題点がある。

【0014】また、電流一定型と電流可変型をカスケード接続した構成では、電流一定型と電流可変型ではAGC電圧VAGCが異なり、また、AGC電圧VAGCに対する利得PGの特性が異なるので、利得PGの直線性が悪いという問題点がある。

【0015】本発明は上記従来の問題点を鑑み、消費電流を低減し、入力インタセプト・ポイントと利得の直線性を向上させることができる多段可変増幅回路を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明は上記目的を達成するために、電流一定型可変利得増幅回路（以下、可変増幅回路という）を前段としてその後段に電流可変型可変増幅回路を接続すると共に、AGC電圧を指数関数的に変化する電流に変換してその電流を各可変増幅回路の駆動電流として印加することにより各増幅度を制御することを特徴とする。

【0017】本発明によれば、電流一定型可変増幅回路を前段に配置することにより3次歪み成分を減少し、電流可変型可変増幅回路を後段に配置することにより消費電流と歪み成分を低減することができる。この場合、入力信号が大きい時には各可変増幅回路は減衰器として働き、また、後段の電流可変型可変増幅回路では駆動電流が少なくなると3次歪み成分が大きくなりやすいが、歪み発生源である妨害信号が前段の電流一定型可変増幅回路により減衰されて後段の電流可変型可変増幅回路に印加されるので3次歪み成分は大きくならない。また、入力信号が小さい時には各可変増幅回路は増幅器として働き、また、妨害信号が前段の電流一定型可変増幅回路により増幅されるが、後段の電流可変型可変増幅回路の駆動電流が大きいので3次歪み成分は大きくならない。

【0018】また、直線的に変化するAGC電圧を指数関数的に変化する電流に変換して電流一定型可変増幅回路に印加するので、電流一定型可変増幅回路と電流可変型可変増幅回路の増幅特性が同一になり、その結果、2種類の可変増幅回路の増幅度が略比例して変化するので

利得を直線的に制御することができる。

【0019】

【発明の実施の形態】本発明の実施の形態は、不平衡出力型の差動増幅器により構成され、一定の駆動電流により駆動されて入力信号を増幅する第1の可変利得増幅回路と、前記第1の可変利得増幅回路の増幅度を制御する第1の増幅度制御手段と、平衡出力型の差動増幅器により増幅され、可変の駆動電流により駆動されて前記第1の可変利得増幅回路により増幅された信号を更に増幅する第2の可変利得増幅回路と、前記第2の可変利得増幅回路の増幅度を制御する第2の増幅度制御手段とを備えたものである。

【0020】また、前記第1及び第2の増幅度制御手段は、直線的に変化するAGC電圧を指数関数的に変化する制御電流に変換し、その制御電流を前記第1及び第2の可変利得増幅回路に駆動電流として与えることを特徴としている。

【0021】さらに、前記不平衡出力型の差動増幅器は、各エミッタが共通の定電流源に接続されてエミッタから信号を入力される少なくとも一対のトランジスタを備え、一方のトランジスタのベースにAGC電圧が加えられ、他方のトランジスタのベースが接地され、一方または他方のトランジスタのコレクタから信号を出力することを特徴としている。

【0022】また、前記第1の増幅度制御手段は、ベースに加えられたAGC電圧の変化をコレクタ電流の変化に変換する電圧-電流変換トランジスタと、前記一方のトランジスタを含むカレントミラー回路とを備え、前記カレントミラー回路を介して前記コレクタ電流に応じた電流を前記一方のトランジスタのコレクタに流すことを特徴としている。

【0023】

【実施例】以下、図面を参照して本発明の実施例を説明する。図1は本発明に係る多段可変増幅回路の一実施例の概略を示すブロック図、図2は図1の回路を詳細に示す回路図、図3は図1、図2の回路と従来例において利得に対する入力インタセプト・ポイント特性と消費電流を比較した説明図である。

【0024】図1において、電流一定型可変増幅回路1、電流可変型可変増幅回路2、3にはAGC電圧VAGCが共通に印加され、この電圧VAGCに基づいて電流一定型可変増幅回路1は入力信号INを増幅し、電流可変型可変増幅回路2は電流一定型可変増幅回路1により増幅された信号を更に増幅し、電流可変型可変増幅回路3は電流可変型可変増幅回路2により増幅された信号を更に増幅して出力信号OUTとして出力する。

【0025】図2を参照して詳細な構成を説明する。先ず、電源電圧VccはPNPトランジスタQ13、Q12の各エミッタと、バイアス抵抗R1の一端と、NPNトランジスタQ2、Q3の各コレクタと、バイアス抵抗R

2、R3、R4、R5、R6の一端に印加され、AGC電圧VAGCはNPNトランジスタQ14、Q15、Q16の各ベースとエミッタ間に共通に印加される。入力信号INはNPNトランジスタQ5、Q6の各ベース間に印加され、出力信号OUTは結合コンデンサC5、C6を介して取り出される。

【0026】電流一定型可変増幅回路1について詳しく説明すると、トランジスタQ12、Q13の各ベースはトランジスタQ13のコレクタとトランジスタQ14のコレクタに接続され、トランジスタQ12のコレクタはNPNトランジスタQ11のコレクタ及びベースと、NPNトランジスタQ1、Q4の各ベースに接続されている。抵抗R1の他端（電流I1）はトランジスタQ1のコレクタに接続され、トランジスタQ1、Q2の各エミッタ（電流I0）はインダクタンスL1の一端と、トランジスタQ5のコレクタに接続されている。

【0027】抵抗R2の他端（電流I1）はトランジスタQ4のコレクタに接続され、トランジスタQ3、Q4の各エミッタはインダクタンスL2の一端と、トランジスタQ6のコレクタに接続されている。また、トランジスタQ2、Q3の各ベースはバイアス用電源E1を介して接地されている。インダクタンスL1、L2の接続点はトランジスタQ11のエミッタに接続され、トランジスタQ5、Q6の各エミッタは定電流源CS1を介して接地されている。

【0028】次に、2段目の電流可変型可変増幅回路2について説明する。抵抗R1の他端はまた、結合コンデンサC1を介してNPNトランジスタQ7のベースに接続されると共にバイアス抵抗R7を介して接地され、抵抗R2の他端はまた、結合コンデンサC2を介してNPNトランジスタQ8のベースに接続されると共にバイアス抵抗R8を介して接地されている。抵抗R3、R4の各他端はそれぞれトランジスタQ7、Q8の各コレクタに接続され、トランジスタQ7、Q8の各エミッタはトランジスタQ15のコレクタに接続されている。

【0029】3段目の電流可変型可変増幅回路3も同様な構成である。すなわち、抵抗R3の他端はまた、結合コンデンサC3を介してNPNトランジスタQ9のベースに接続されると共にバイアス抵抗R9を介して接地され、抵抗R4の他端はまた、結合コンデンサC4を介してNPNトランジスタQ10のベースに接続されると共にバイアス抵抗R10を介して接地されている。抵抗R5、R6の各他端はそれぞれトランジスタQ9、Q10の各コレクタに接続されると共に結合コンデンサC5、C6に接続され、トランジスタQ9、Q10の各エミッタはトランジスタQ16のコレクタに接続されている。

【0030】電流一定型可変増幅回路1において、トランジスタQ1～Q4は利得可変用であり、トランジスタQ5、Q6は増幅用である。トランジスタQ11はトランジスタQ1、Q4とカレントミラー回路を構成し、ト

ランジスタQ11のセルサイズは、トランジスタQ11に流れる電流がトランジスタQ1～Q4のダイナミックレンジを狭めることがないようにトランジスタQ1、Q4のセルサイズの約1/50に設定されている。また、トランジスタQ12、Q13も同様にカレントミラー回路を構成している。インダクタンスL1、L2はRF阻止用であり、代わりに抵抗でもよく、この場合にはトランジスタQ1～Q4の入力インピーダンスが小さいので抵抗値は小さくてもよい。

【0031】2段目の電流可変型可変増幅回路2におけるトランジスタQ7、Q8と、3段目の電流可変型可変増幅回路3におけるトランジスタQ9、Q10は高周波トランジスタであり、また、2段目のトランジスタQ15と3段目のトランジスタQ16はそれぞれ、トランジスタ(Q7、Q8)と(Q9、Q10)の電流を制限するために用いられている。この場合、トランジスタQ15、Q16のセルサイズは、トランジスタQ7、Q8、Q9、Q10、Q1、Q4に流れる電流が等しくなるようにトランジスタQ14の100倍に設定されている。

【0032】次に、上記実施例の動作を説明する。先ず、電流一定型可変増幅回路1では、トランジスタQ14のコレクタ電流はAGC電圧VAGCに対して指数関数的に変化する。トランジスタQ13はトランジスタQ14の負荷であるので、トランジスタQ13にはトランジスタQ14と同じ電流が流れる。この場合、トランジスタQ12、Q13はカレントミラー回路を構成しているのでトランジスタQ12にはトランジスタQ13と同じ電流が流れる。

【0033】トランジスタQ11はトランジスタQ12のコレクタの負荷であるので、トランジスタQ11にはトランジスタQ12と同じ電流が流れ、更に、トランジスタQ1、Q4はトランジスタQ11とカレントミラー回路を構成しているので、トランジスタQ1、Q4にもトランジスタQ11と同じ電流が流れる。したがって、トランジスタQ1、Q4には、AGC電圧VAGCが印加されるトランジスタQ14のコレクタ電流に比例したコレクタ電流が流れ、そのコレクタ電流はAGC電圧VAGCに対して指数関数的に変化する。その結果、電流一定型可変増幅回路1の利得PG[dB]がAGC電圧VAGCに対して直線的に変化する。

【0034】また、2段目のトランジスタQ15と3段目のトランジスタQ16も同様に、AGC電圧VAGCに対してコレクタ電流が指数関数的に変化するので、その結果、1～3段目全体でも利得PGがAGC電圧VAGCに対して直線的に変化する。

【0035】図3は横軸が利得PG[dB]を示し、左側の縦軸が入力インタセプト・ポイント、右側の縦軸が消費電流を示している。上記実施例による入力インタセプト・ポイント特性eは電流一定型の特性aと略同一であり、電流可変型の特性cより大きい。また、上記実施

例による消費電流特性fは電流可変型の特性dより大きい、電流一定型の特性bより低減することができる。

【0036】また、入力信号INのレベルが大きい場合(=利得PGが小さい場合)には、各可変増幅回路1～3は減衰器として働き、また、電流可変型可変増幅回路2、3は駆動電流が少なく、発生する3次歪み成分が大きくなりやすいが、上記実施例によれば、歪み発生源である妨害信号が電流一定型可変増幅回路1により減衰されて電流可変型可変増幅回路2、3に入力するので、電流可変型可変増幅回路2、3において発生する3次歪み成分が小さくなる。

【0037】一方、入力信号INのレベルが小さい場合(=利得PGが大きい場合)には、各可変増幅回路1～3は増幅器として働き、歪み発生源である妨害信号が電流一定型可変増幅回路1により増幅されて電流可変型可変増幅回路2、3に入力するが、上記実施例によれば、この時、電流可変型可変増幅回路2、3の動作電流が大きいので発生する3次歪み成分は小さい。また、電流一定型可変増幅回路1の増幅度は入力信号INのレベルの大小に応じて変化するが、駆動電流が一定であるので発生する3次歪み成分の大きさは一定である。

【0038】

【発明の効果】以上説明したように本発明によれば、電流一定型可変増幅回路を前段としてその後段に電流可変型可変増幅回路を接続すると共に、直線的に変化するAGC電圧を指数関数的に変化する電流に変換してその電流を各可変増幅回路の駆動電流として印加することにより各増幅度を制御するので、消費電流を低減し、入力インタセプト・ポイントと利得の直線性を向上させることができる。

【図面の簡単な説明】

【図1】本発明に係る多段可変利得増幅回路の一実施例の概略を示すブロック図である。

【図2】図1の回路を詳細に示す回路図である。

【図3】図1、図2の回路と従来例において利得に対する入力インタセプト・ポイント特性と消費電流を比較した説明図である。

【図4】本発明に係る多段可変利得増幅回路が適用された一般的なCDMA方式の携帯電話機のRF段を示すブロック図である。

【図5】一般的な電流一定型の可変増幅回路を示す回路図である。

【図6】一般的な電流可変型の可変増幅回路を示す回路図である。

【図7】図5、図6の可変増幅回路の制御電圧ー利得特性を示す説明図である。

【符号の説明】

- 1 電流一定型可変増幅回路
- 2, 3 電流可変型可変増幅回路
- Q1～Q16 トランジスタ

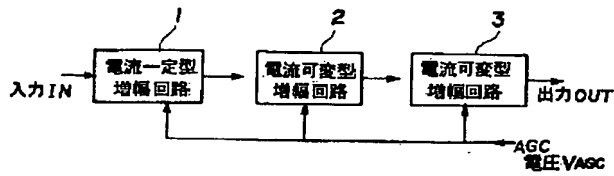
R1~R10 抵抗
C1~C6 結合コンデンサ

L1, L2 インダクタンス

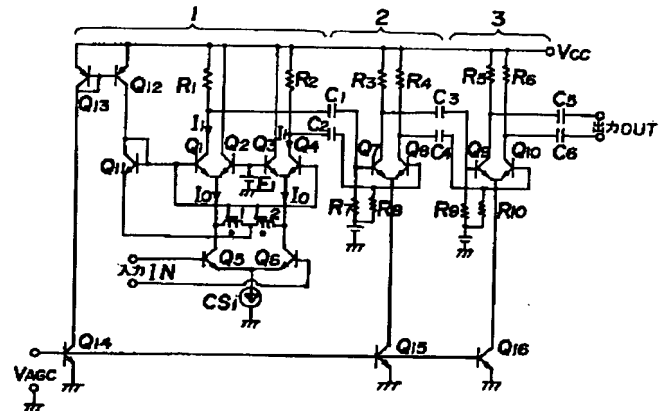
【図1】

【図2】

【図1】

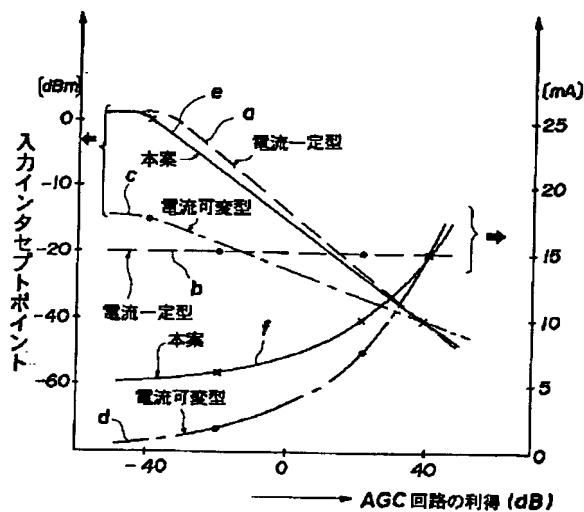


【図2】



【図3】

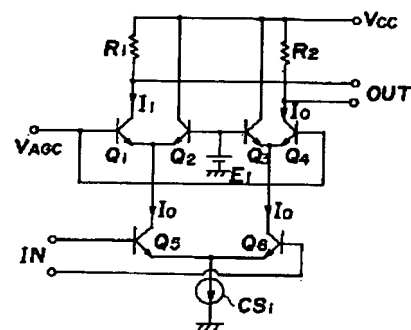
【図3】



【図6】

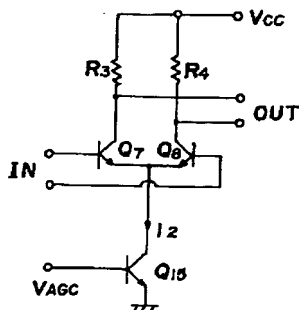
【図5】

【図5】

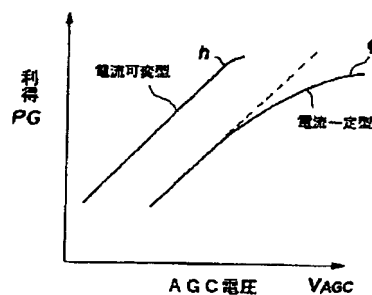


【図7】

【図6】



【図7】



【図4】

【図4】

